

Examen Halfgeleiderdevices (121706)

Datum: Donderdag, 27-08-2009

Tijd: 13:30-17:00 voor volledig tentamen*)

Plaats: Spiegel, Zaal 3

Dit tentamen omvat 4 onderdelen:

Halfgeleider Fysica	Vraagstuk 1
PN-overgang	Vraagstuk 2
Bipolaire Transistor	Vraagstuk 3
MOS Transistor	Vraagstuk 4

Studenten die in het curriculum 2008/09 een voldoende hebben gehaald voor de WASP test mogen vraagstuk 2 overslaan. In dat geval worden alleen de vraagstukken 1, 3 en 4 meegeteld voor het uiteindelijke tentamencijfer.

U wordt verzocht op uw tentamenformulier en tentamenbriefje aan te geven voor welk vak u tentamen doet.

Beschikbare tijd voor het tentamen:

Indien 3 vraagstukken worden gedaan:	3 uur tot 16.30 uur *)
Indien 4 vraagstukken worden gedaan:	3.5 uur tot 17.00 uur

Bijgeleverd: Formule en constantenblad.

Succes met het tentamen !!!

Constants and equations Semiconductor Device Physics

Elementary charge:	$q=1.6 \cdot 10^{-19} \text{ C}$
Thermal voltage equivalent (@ room temperature):	$u_T=kT/q=0.025 \text{ V}$
Dielectric constant (permittivity) Silicon:	$\epsilon_{Si}=10^{-12} \text{ F/cm}$
Dielectric constant (permittivity) Silicon dioxide:	$\epsilon_{ox}=3.5 \cdot 10^{-13} \text{ F/cm}$
Intrinsic carrier concentration (if not given):	$n_i = \sqrt{2} \cdot 10^{10} \text{ cm}^{-3}$
Electron diffusion constant (if not given):	$D_n=30 \text{ cm}^2/\text{s}$
Hole diffusion constant (if not given):	$D_p=10 \text{ cm}^2/\text{s}$
Electron mobility (if not given):	$\mu_n=1200 \text{ cm}^2/\text{Vs}$
Hole mobility (if not given):	$\mu_p=350 \text{ cm}^2/\text{Vs}$

1. Semiconductor Physics (spatially in one dimension)

Fermi-Dirac distribution	$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}$
Density of states (if not given)	$g(E) \sim 10^{47} \sqrt{E}$
Carrier concentrations	$n = N_C \exp\left(\frac{E_F - E_C}{kT}\right) = n_i \exp\left(\frac{E_F - E_{FI}}{kT}\right)$ $p = N_V \exp\left(\frac{E_V - E_F}{kT}\right) = n_i \exp\left(\frac{E_{FI} - E_F}{kT}\right)$
Electrostatic potential	$\psi = -\frac{E_{FI}}{q}$
Fermi potential	$\phi_F = -\frac{E_F}{q}$
General formalism	$n = n_i \exp\left(\frac{\psi - \phi_F}{u_T}\right)$ $p = n_i \exp\left(\frac{\phi_F - \psi}{u_T}\right)$
Current equations	$j_n = qn\mu_n \mathcal{E} + qD_n \frac{dn}{dx} = n\mu_n \frac{dE_{FN}}{dx}$ $j_p = qp\mu_p \mathcal{E} - qD_p \frac{dp}{dx} = p\mu_p \frac{dE_{FP}}{dx}$
Einstein relation	$D = u_T \cdot \mu = \frac{kT}{q} \cdot \mu$
Excess recombination rate (electrons)	$R = \tilde{n} N_t c_n = \tilde{n} N_t v_{th} \sigma_n = \frac{\tilde{n}}{\tau_n}$

Continuity equation (electrons) $\frac{d\tilde{n}}{dt} = \frac{1}{q} \frac{dj_n}{dx} - (R - G) = D_n \frac{d^2\tilde{n}}{dx^2} - \frac{\tilde{n}}{\tau_n}$

Excess carrier diffusion (electrons) $\tilde{n}(x) = \tilde{n}_0 \exp\left(-\frac{x}{L_n}\right)$

$$L_n = \sqrt{D_n \tau_n}$$

Poisson's equation $-\frac{d^2\psi(x)}{dx^2} = \frac{d\mathcal{E}(x)}{dx} = \frac{\rho(x)}{\epsilon_s}$

2. pn junction

Built-in potential

$$\phi_{bi} = u_T \ln\left(\frac{N_D N_A}{n_i^2}\right)$$

Depletion layer width

$$W = \sqrt{\left(\frac{2\epsilon_s (N_A + N_D)}{q N_A N_D}\right) (\phi_{bi} - V_A)}$$

Junction current (Shockley eq.)
long diode

$$I = A(j_n + j_p) = -Aqn_i^2 \left(\frac{D_n}{N_A L_n} + \frac{D_p}{N_D L_p}\right) \left(\exp\left(\frac{V_A}{u_T}\right) - 1\right)$$

Gummel number

$$G = \int_0^L \frac{N(x)}{D(x)} dx$$

Diffusion capacitance

$$C_{diff} = \frac{1}{u_T} (\tau_n j_n + \tau_p j_p) \approx \frac{\tau}{u_T} j$$

3. Bipolar transistor

Current density (NPN)

$$j = -\frac{qn_i^2}{G} \left(\exp\left(\frac{V_{BE}}{u_T}\right) - 1\right)$$

Definitions

$$I_E = -(I_B + I_C)$$

$$\beta_F = \frac{I_C}{I_B}$$

Small signal model

$$i_B = g_\pi v_{BE} + g_\mu v_{BC}$$

$$i_C = g_m v_{BE} + g_0 v_{BC}$$

4. MOS transistor

Charge storage

$$Q_n = -C_{ox}(V_{GB} - V_T)$$

Threshold voltage NMOS

$$V_T = V_{FB} + (2\phi_B + V_{SB}) + \frac{\sqrt{(2q\epsilon_s N_A (2\phi_B + V_{SB}))}}{C_{ox}}$$

Drain current NMOS (strong inversion)

$$I_D = \frac{\mu_n C_{ox} W}{L} \left[\left(V_{GS} - 2\phi_B - \frac{V_{DS}}{2} \right) V_{DS} - \frac{2\gamma}{3} \left\{ (V_{SB} + 2\phi_B + V_{DS})^{1.5} - (V_{SB} + 2\phi_B)^{1.5} \right\} \right]$$

Drain current NMOS (weak inversion)

$$I_D = \frac{\mu_n W u_T}{L} \int_0^L \frac{dQ_n}{dx} dx = \frac{\mu_n W u_T}{L} Q_n = -\frac{\mu_n W u_T^2}{L} C_{dep} \exp\left(\frac{V_{GB} - \alpha\phi_B}{m \cdot u_T}\right)$$

Level 3 model (square law model)

$$I_D = \begin{cases} 0 & V_{GS} < V_T \\ \frac{KP}{2} \frac{W}{L_{eff}} (V_{GS} - V_T)^2 \cdot (1 + LAMBDA \cdot V_{DS}) & 0 < V_{GS} - V_T \leq V_{DS} \\ \frac{KP}{2} \frac{W}{L_{eff}} V_{DS} (2(V_{GS} - V_T) - V_{DS}) (1 + LAMBDA \cdot V_{DS}) & 0 < V_{DS} < V_{GS} - V_T \end{cases}$$

Capacitances in MOS

$$C_{GB} = C'_{GB} L_{eff}$$

$$C_{GS} = C_{ox} \left\{ 1 - \frac{2}{3} \left(\frac{V_{GS} - V_{DS} - V_T}{2(V_{GS} - V_T) - V_{DS}} \right)^2 \right\} + C'_{GS} W$$

$$C_{GD} = C_{ox} \left\{ 1 - \frac{2}{3} \left(\frac{V_{GS} - V_T}{2(V_{GS} - V_T) - V_{DS}} \right)^2 \right\} + C'_{GD} W$$

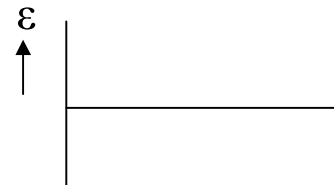
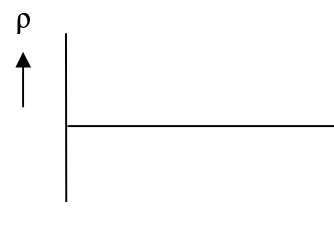
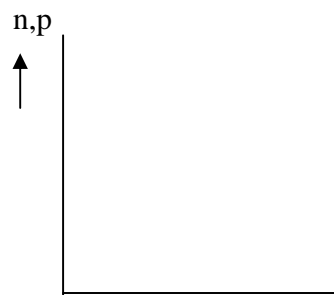
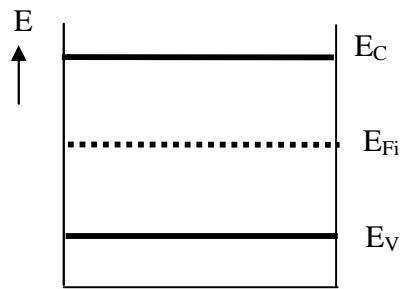
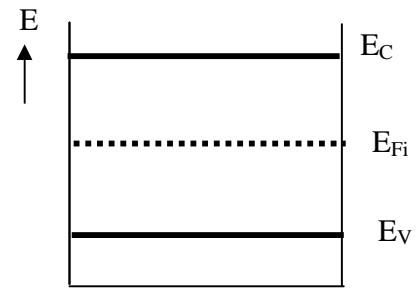
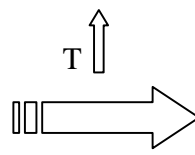
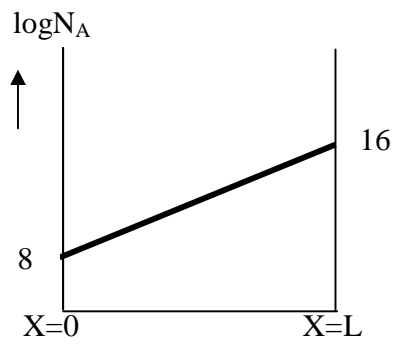
Small signal model

$$i_D = g_m v_{GS} + g_{ds} v_{DS} + g_{mbs} v_{BS}$$

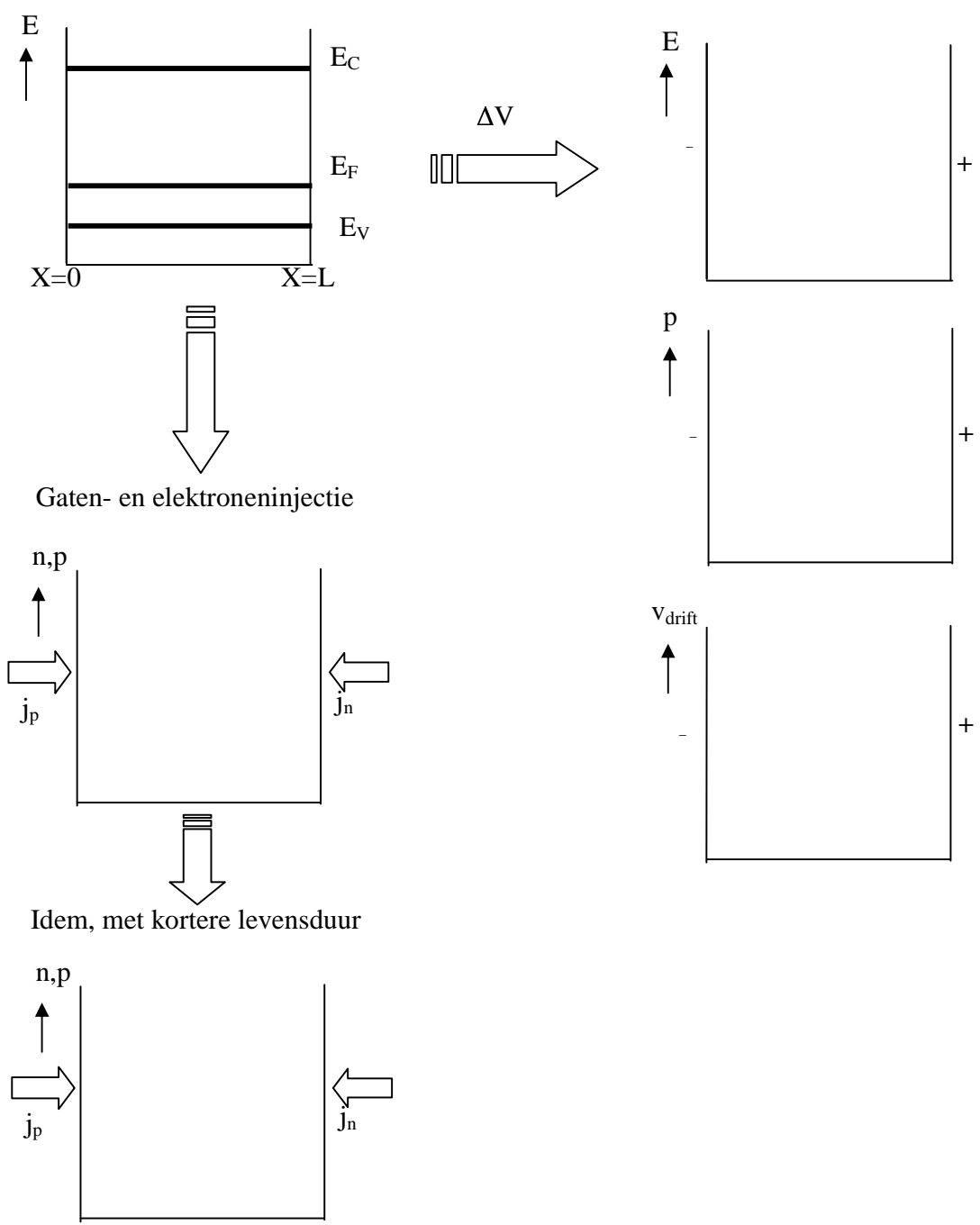
Vraagstuk 1 Halfgeleider fysica

Beschouw een 1-dimensionaal stukje silicium met lengte L (langer dan de diffusieweglengte voor gaten en elektronen).

- a) Hieronder is het plaatje met doteringsconcentratie gegeven (kamertemperatuur, logaritmische as). Maak daaronder een plaatje van het Fermi-niveau als functie van de plaats. Leg de schets kort uit. Schets in de grafiek rechts de positie van het Fermi-niveau wanneer in hetzelfde stukje silicium de temperatuur wordt verhoogd. Leg weer uit. Maak daarna, onder de eerste grafiek, een schets van de gaten- en elektronenconcentratie als functie van de plaats in het oorspronkelijke blokje. Leg ook weer kort uit. Maak daaronder schetsen van ruimtelading en ingebouwd elektrisch veld in het blokje; leg weer uit.



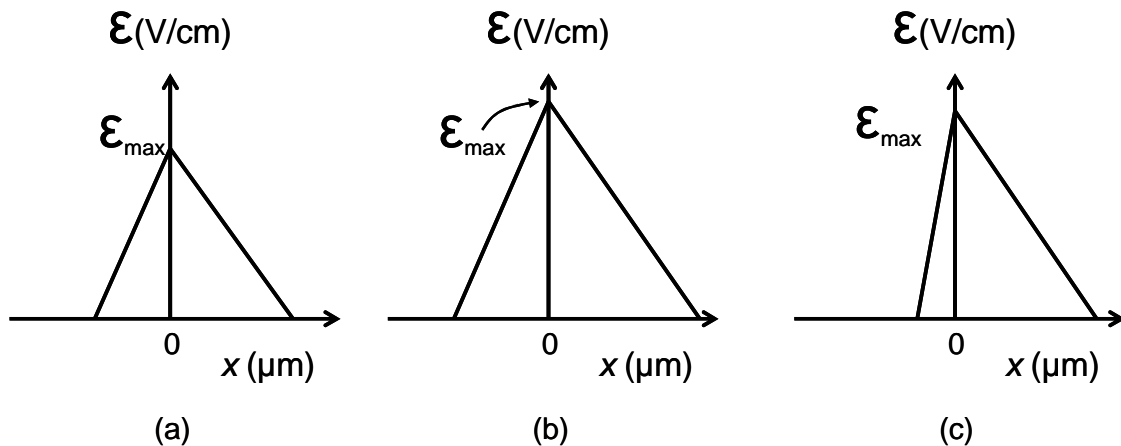
- b) We nemen nu een blokje silicium met bandenplaatje zoals in de figuur hieronder en leggen een spanningsverschil aan tussen $x=0$ en $x=L$ ($x=L$ is positief t.o.v. $x=0$, zie figuur hieronder). Teken het bandenplaatje in dit geval, de gatenconcentratie als functie van de plaats en de driftsnelheid van de gaten als functie van de plaats (arbitrale eenheden langs de assen). Verklaar kort de schetsen.
- c) We nemen weer hetzelfde stukje silicium en injecteren nu een constante stroom gaten op $x=0$ en elektronen in dezelfde hoeveelheid elektronen op $x=L$. Schets nu de elektronen- en gatenconcentraties als functie van de plaats en verklaar kort je schetsen en leg uit wat voor stromen (drift, diffusie) voor de verschillende ladingsdragers aanwezig zijn. Stel nu dat we een zelfde experiment doen met een stukje silicium met een kortere levensduur van de ladingsdragers. Schets nu de veranderingen van elektronen- en gatenconcentraties en verklaar je schetsen weer.



- Waardering:
- a) 30
 - b) 30
 - c) 40

Vraagstuk 2 pn-overgang

Gegeven de verdeling van het elektrische veld van een één dimensionale silicium diode voor verschillende situaties allemaal op zelfde schaal getekend, zie figuren beneden. Situatie (a) is bij thermisch evenwicht.



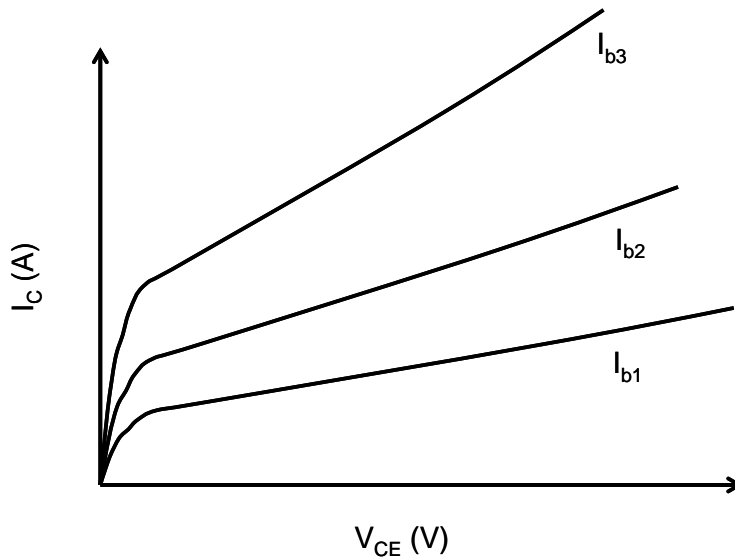
- Wat kunnen we zeggen over de vorm van het doping profiel bij de gegeven situaties? Leg uit. Waar is de junctie?
- Schets voor situatie (a) de ruimtelading als functie van de plaats en geef de p- en n- gebieden aan. Schets tevens in een ander plaatje de potentiaal.
- Nu gaan we van situatie (a) naar situatie (b). Leg uit wat er technologisch of elektrisch zou moeten gebeuren om deze verandering teweeg te brengen.
- Nu gaan we van situatie (a) naar situatie (c). Leg uit wat er technologisch of elektrisch zou moeten gebeuren om deze verandering teweeg te brengen.
- Voor welke situatie hebben we nu de laagste depletie capaciteit? Leg uit.

Waardering: a) 15 b) 30 c) 20 d) 20 e) 15

Vraagstuk 3 Bipolaire Transistor

Gegeven een één dimensionale NPN bipolaire transistor.

- Schets een bandendiagram van deze transistor bij thermisch evenwicht. Geef daarbij het volgende duidelijk aan: conductieband (E_c), valentieband (E_v), intrinsiek Fermi-niveau (E_{Fi}), Fermi-niveau (E_F), depletiegebieden, emitter, basis, collector.
- Door de transistor te analyseren krijgen we de volgende I_C - V_{CE} karakteristiek:



Geef een mogelijke verklaring en toelichting voor de sterke collector-emitter spanning (V_{CE}) afhankelijkheid van de collectorstroom I_C .

- Wat zou er gedaan kunnen worden om dit beoogde effect te verminderen? Leg uit. Schets daarbij ook de resulterende (ideale) I_C - V_{CE} karakteristiek.
- Geef het groot signaal vervangschema van een voorwaarts actieve (ideale) bipolaire transistor in common-emitter modus.

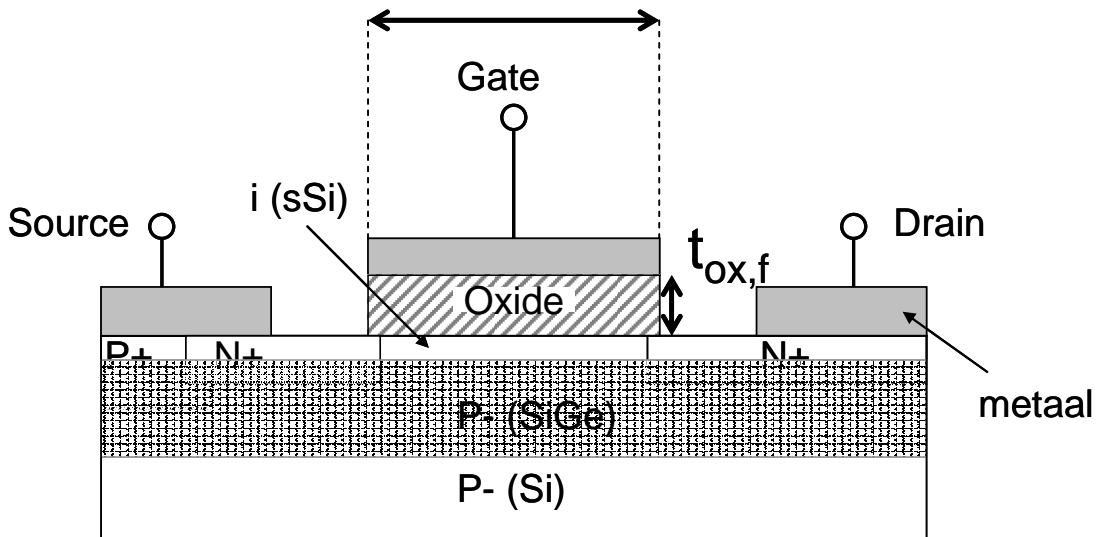
Waardering: a) 30 b) 20 c) 20 d) 30

Opgave 4 MOS Transistor

Een schematische doorsnede van een geavanceerde MOSFET is in het plaatje beneden weergegeven. Het betreft een MOSFET waarin het kanaalgebied uit een intrinsieke (i) silicium laag bestaat. Deze laag is geplaatst op een (kristallijne) laag van een silicium-germanium (SiGe) legering. Ten gevolge van een combinatie van onderlinge verschillen tussen de roosterconstante en de laagdikte bij SiGe en Si wordt er in de dunne Si laag een mechanische spanning ("strain") gevormd. Feitelijk hebben we hiermee een ander materiaal in het kanaal gemaakt, namelijk strained-Si (sSi). Het bijzondere is dat sSi een hogere elektronenmobiliteit heeft dan bulk (of "gewoon") Si.

Gemakshalve nemen we aan dat:

1. de transistor wordt gebruikt bij kamertemperatuur ($T=300\text{K}$),
2. de stroomformules van de conventionele MOSFET voor dit type MOSFET toegepast kunnen worden. M.a.w. er loopt een verwaarloosbare gate- dan wel substraatstroom,
3. de kanaallengte is gelijk aan de gate lengte L_g .



Merk verder op dat de MOSFET niet op schaal is getekend.

- a) De elektronenmobiliteit van strained-Si bij sterke inversie ligt 70% hoger dan die van bulk Si¹. Uitgaande van dit gegeven, met hoeveel procent zou dan de kanaallengte van de normale bulk-Si MOSFET ingekort dienen te worden om dezelfde stroomwaarde te krijgen? Leg uit.
- b) Om hoge stromen te krijgen worden de gate lengtes van normale MOSFETs geschaald naar zeer agressieve dimensies. Echter, het schalen kan niet onbeperkt doorgaan. Leg uit waarom. Wat zou in dit verband een voordeel kunnen zijn door gebruik te maken van strained-Si i.p.v. bulk Si?

¹ Niet van belang voor het tentamen, maar even voor de volledigheid: dit is mogelijk door een germanium percentage van 20% te gebruiken in de SiGe laag, en dit gaat op voor een groot bereik in het verticale veld (en dus gate-source spanning).

- c) Een extra gegeven voor onze sSi laag is dat de elektronenaffiniteit met 0.13V is toegenomen ($\chi_{sSi} = 4.3V$) vergeleken met bulk Si ($\chi_{Si} = 4.17V$). Verder is er ook sprake van bandgap versmalling in sSi ($\Delta E_g = -0.12eV$), m.a.w de built-in potentiaal ϕ_B wordt met $|\Delta E_g / 2|$ verlaagd. Wat gebeurt er met de threshold spanning door het aanbrengen van ons sSi laagje? Verklaar, eventueel d.m.v. een schets van (een) schematische bandenplaatje(s).
- d) M.b.t. vraag c): wat dient er in onze nieuwe MOSFET technologisch aangepast te worden om op dezelfde threshold spanning te komen van de bulk-Si tegenhanger? Hoe moet dit aangepakt worden? Leg uit.

Waardering:

- a) 20
- b) 30
- c) 30
- d) 20